

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

JONG-BUM PARK, ET AL.

Application No.:

Filed:

For: **method for fabricating capacitor in  
semiconductor device**

Art Group:

Examiner:

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**REQUEST FOR PRIORITY**

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Korea	10-2002-0086478	30 December 2002

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 8/1/03

  
Eric S. Hyman, Reg. No. 30,139

12400 Wilshire Blvd., 7th Floor  
Los Angeles, California 90025  
Telephone: (310) 207-3800

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0086478  
Application Number

출원년월일 : 2002년 12월 30일  
Date of Application DEC 30, 2002

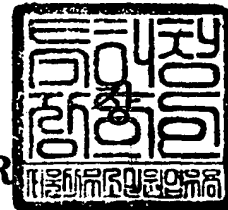
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003      년      05      월      14      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0066
【제출일자】	2002. 12. 30
【발명의 명칭】	반도체장치의 캐패시터 제조방법
【발명의 영문명칭】	Method for fabricating capacitor in semiconductor device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	박종범
【성명의 영문표기】	PARK, Jong Bum
【주민등록번호】	711023-1630021
【우편번호】	467-140
【주소】	경기도 이천시 고담동 72-1번지 고담기숙사 106-603
【국적】	KR
【발명자】	
【성명의 국문표기】	오훈정
【성명의 영문표기】	OH, Hoon Jung
【주민등록번호】	691102-2253529
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 신하리 삼익아파트 102-809
【국적】	KR
【발명자】	
【성명의 국문표기】	김경민
【성명의 영문표기】	KIM, Kyong Min

【주민등록번호】 680910-1047013  
【우편번호】 430-014  
【주소】 경기도 안양시 만안구 안양4동 627-72 벽산아파트 2-1109  
【국적】 KR  
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대  
리인 특허법인 신  
성 (인)  
【수수료】  
【기본출원료】 19 면 29,000 원  
【가산출원료】 0 면 0 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 0 항 0 원  
【합계】 29,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 누설전류특성 및 브레이크다운 전압특성이 향상되면서, 캐패시턴스 특성이 나빠지지 않는 캐패시터 제조방법을 제공하기 위한 것으로, 이를 위해 본 발명은 기판상에 하부전극용 도전성 실리콘막을 형성하는 단계; 상기 도전성 실리콘막을 질화시키는 단계; 상기 질화된 도전성 실리콘막을 산화시키는 단계; 상기 산화된 표면에 실리콘질화막을 형성하는 단계; 상기 실리콘질화막상에 유전체 박막을 형성하는 단계; 및 상기 유전체 박막상에 상부전극을 형성하는 단계를 포함하는 반도체 장치의 캐패시터 제조방법을 제공한다.

**【대표도】**

도 2d

**【색인어】**

반도체, 캐패시터, 질화막, 자연산화막, 세정, 누설전류.

【명세서】

【발명의 명칭】

반도체장치의 캐패시터 제조방법 {Method for fabricating capacitor in semiconductor device}

【도면의 간단한 설명】

도1a 내지 도1c는 종래기술에 의한 실린더형 캐패시터 제조방법을 나타내는 공정단면도.

도2a 내지 도2e는 본 발명의 바람직한 실시예에 따른 반도체 캐패시터 제조방법을 나타내는 공정단면도.

도3a 내지 도3c는 본 발명에 의해 제조된 캐패시터의 효과를 나타내기 위한 그래프

<도면의 주요부분에 대한 부호의 설명>

20 : 기판

21 : 활성영역

22 : 층간절연막

23: 콘택플러그

24 : 캐패시터 형성용 절연막

25 : 하부전극



26 : 제1 실리콘산화막

27 : 제1 실리콘질화막

28 : 제2 실리콘산화막

29 : 제2 실리콘질화막

30 : 유전체박막

31 : 상부전극

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <17>        본 발명은 반도체 제조기술에 관한 것으로, 특히 반도체 소자의 캐패시터제조방법에 관한 것이다.
- <18>        반도체 소자, 특히 DRAM(Dynamic Random Access Memory)의 반도체 메모리의 집적도가 증가함에 따라 정보 기억을 위한 기본 단위인 메모리 셀의 면적이 급격하게 축소되고 있다.
- <19>        이러한 메모리 셀 면적의 축소는 셀 캐패시터의 면적 감소를 수반하여, 센싱 마진과 센싱 속도를 떨어뜨리고,  $\alpha$ -입자에 의한 소프트 에러(Soft Error)에 대한 내구성이 저하되는 문제점을 유발하게 된다. 따라서, 제한된 셀 면적에서 충분한 정전용량을 확보할 수 있는 방안이 필요하게 되었다.
- <20>        캐패시터의 정전용량(C)은 하기의 수학식 1과 같이 정의된다.

<21> 【수학식 1】  $C = \varepsilon \cdot A_s / d$

<22> 여기서,  $\varepsilon$  은 유전률,  $A_s$ 는 전극의 유효 표면적,  $d$ 는 전극간 거리를 각각 나타낸 것이다.

<23> 따라서, 캐패시터의 정전용량을 늘리기 위해서는 전극의 표면적을 넓히거나, 유전체 박막의 두께를 줄이거나, 유전률을 높여야 한다.

<24> 이 중에서 전극의 표면적을 넓히는 방안이 제일 먼저 고려되어 왔다. 컨케이브 구조, 실린더 구조, 다층 핀 구조 등과 같은 3차원 구조의 캐패시터는 모두 제한된 레이아웃 면적에서 전극의 유효 표면적을 증대시키기 위하여 제안된 것이다. 그러나, 이러한 방법은 반도체 소자가 초고집적화 되면서 전극의 유효 표면적을 증대시키는데 한계를 보이고 있다.

<25> 그리고, 전극간 거리( $d$ )를 최소화하기 위해 유전체 박막의 두께를 감소시키는 방안은 유전체 박막의 두께가 감소함에 따라 누설전류가 증가하는 문제 때문에 역시 그 한계에 직면하고 있다.

<26> 따라서, 근래에 들어서는 주로 유전체 박막의 유전율의 증대를 통한 캐패시터의 정전용량 확보에 초점을 맞추어 연구, 개발이 진행되고 있다. 전통적으로, 실리콘산화막이나 실리콘질화막을 유전체 박막 재료로 사용한 소위 NO(Nitride-Oxide) 구조의 캐패시터가 주류를 이루었으나, 최근에는  $Ta_2O_5$ ,  $(Ba, Sr)TiO_3$ (이하 BST라 함) 등의 고유전체 물질이나,  $(Pb, Zr)TiO_3$ (이하 PZT라 함),  $(Pb, La)(Zr, Ti)O_3$ (이하 PLZT라 함),  $SrBi_2Ta_2O_9$ (이하 SBT라 함),  $Bi_{4-x}La_xTi_3O_{12}$ (이하, BLT라 함) 등의 강유전체 물질을 유전체 박막 재료로 적용하고 있다.



- <27> 도1a 내지 도1c는 종래기술에 의한 실린더형 캐패시터 제조방법을 나타내는 공정단면도이다.
- <28> 먼저 도1a에 도시된 바와 같이, 활성영역(11)이 형성된 반도체기판(10)상에 층간절연막(12)을 형성한 후, 층간절연막(12)을 관통하여 반도체기판(10)의 활성영역(11)과 연결되는 콘택홀을 형성한다. 콘택홀을 도전성 물질로 매립하여 콘택플러그(13)를 형성한다. 이어서 캐패시터가 형성될 크기만큼 캐패시터 형성용 절연막(14)을 형성한다.
- <29> 이어서 캐패시터 형성용 절연막(14)을 선택적으로 식각하여 콘택플러그(13)가 노출되도록 하는 캐패시터 형성용 홀을 형성하고, 캐패시터 형성용홀 내부에 도전성 실리콘막으로 하부전극(15)을 형성한다. 이어서 캐패시터 형성용 절연막(14)을 제거한다.
- <30> 이어서 도1b에 도시된 바와 같이, 하부전극상(15)에  $\text{NH}_3$  플라즈마를 이용하여 5 ~ 50Å의 범위의 두께로 실리콘질화막(16)을 형성한다.
- <31> 이어서 도1c에 도시된 바와 같이, 실리콘질화막(16) 상에 유전체박막(17)을 형성하고, 그 상부에 도전성막으로 상부전극(18)을 형성한다. 이어서
- <32> 여기서 실리콘질화막(16)은 후속공정에서 실시하는 고온 열처리에 생성되는 실리콘산화막을 방지하기 위해 형성되는 막이다. 저유전율을 가지는 실리콘산화막이 유전체박막 전후에 생기게 되면, 캐패시터 유전특성이 열화된다.
- <33> 하부전극이 3차원 실린더 형태이기 때문에 하부전극(15) 표면에 실리콘질화막(16)이 고루 형성되지 못하게 되는데, 실리콘질화막(16)이 형성되지 않은 하부전극(15) 표면에서는 산화막이 과도하게 형성되어 캐패시턴스가 저하되는 문제점이 생긴다. 그러나 캐

패시턴스가 저하를 막기 위해 질화막을 형성하게 되면, 누설전류 및 브레이크다운 (breakdown) 전압 특성이 나빠지는 문제점이 생긴다.

【발명이 이루고자 하는 기술적 과제】

<34> 본 발명은 누설전류특성 및 브레이크다운 전압특성이 향상되면서, 캐패시턴스 특성이 나빠지지 않는 캐패시터 제조방법을 제공함을 목적으로 한다.

【발명의 구성 및 작용】

<35> 상기의 목적을 달성하기 위한 본 발명은 기판상에 하부전극용 도전성 실리콘막을 형성하는 단계; 상기 도전성 실리콘막을 질화시키는 단계; 상기 질화된 도전성 실리콘막을 산화시키는 단계; 상기 산화된 표면상에 실리콘질화막을 형성하는 단계; 상기 실리콘 질화막상에 유전체 박막을 형성하는 단계; 및 상기 유전체 박막상에 상부전극을 형성하는 단계를 포함하는 반도체 장치의 캐패시터 제조방법을 제공한다.

<36> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

<37> 도2a 내지 도2d는 본 발명의 바람직한 실시예에 따른 반도체 캐패시터 제조방법을 나타내는 공정단면도이다.

<38> 먼저 도2a에 도시된 바와 같이, 활성영역(21)이 형성된 반도체기판(20)상에 층간절연막(22)을 형성한 후, 층간절연막(22)을 관통하여 반도체기판(20)의 활성영역(21)과 연결되는 콘택홀을 형성한다. 이어서 콘택홀을 도전설 물질로 매립하여 콘택플러그(23)를 형성한다. 층간절연막(22)은 USG(Undoped-Silicate Glass), PSG(Phospho-Silicate Glass), BPSG(Boro-Phospho-Silicate Glass), HDP(High density Plasma) 산화막, SOG(Spin On Glass)막, TEOS(Tetra Ethyl Ortho Silicate)막 또는 HDP(high density plasma)를 이용한 산화막등을 사용하거나 열 산화막(Thermal Oxide; 퍼니스에서 600~1,100℃사이의 고온으로 실리콘 기판을 산화시켜 형성하는 막)으로 형성할 수 있다.

<39> 이어서 캐패시터가 형성될 높이만큼 캐패시터 형성용 절연막(24)을 형성한다. 후속 공정에서 캐패시터 형성용 절연막(24)은 캐패시터 하부전극의 거푸집으로 사용된다. 캐패시터 형성용 절연막(24)은 USG(Undoped-Silicate Glass), PSG(Phospho-Silicate Glass), BPSG(Boro-Phospho-Silicate Glass), HDP(High density Plasma) 산화막, SOG(Spin On Glass)막, TEOS(Tetra Ethyl Ortho Silicate)막 또는 HDP(high density plasma)를 이용한 산화막등을 사용하거나 열 산화막(Thermal Oxide; 퍼니스에서 600~1,100℃사이의 고온으로 실리콘 기판을 산화시켜 형성하는 막)으로 5000 ~ 3000 Å범위에서 형성한다.

<40> 이어서 캐패시터 형성용 절연막(24)을 선택적으로 제거하여 콘택플러그(23)가 노출되는 캐패시터 형성용 홀을 형성하고, 캐패시터 형성용 홀의 내부에 도전성폴리실리콘막으로 하부전극(25)을 형성한다.

- <41> 하부전극(25)은 도핑된 폴리실리콘막을 50~ 300Å 범위에서 증착하고, 그 상부에 비도핑된(undoped) 폴리실리콘막을 50 ~ 300 Å 범위를 증착한 후 N<sub>2</sub>분위기에서 PH<sub>3</sub>을 도핑하여 형성한다.
- <42> 이어서 도2b에 도시된 바와 같이 캐패시터 형성용 절연막(24)을 제거하고, SC-1 세정공정을 실시한다. 캐패시터 형성용 절연막(24)의 제거는 HF 나 BOE(Buffer Oxide Etchant)를 이용한다.
- <43> 이 세정공정으로 인해 5 ~10Å 정도의 제1 실리콘산화막(26)이 하부전극상에 형성된다. SC-1 세정공정은 NH<sub>4</sub>OH와 H<sub>2</sub>O<sub>2</sub>와 H<sub>2</sub>O를 이용하는 세정방법이다. 여기서 생성되는 제1 실리콘산화막(26)은 SC-1 세정공정을 진행하게 되면 저절로 생성되는 얇은 자연산화막으로서 5 ~10Å 범위에서 생성되도록 한다.
- <44> 이어서 500 ~ 800℃의 온도에서 PH<sub>3</sub>등을 이용하여 0.1 ~ 100Torr, N<sub>2</sub> 가스분위기에서 하부전극으로 형성된 폴리실리콘막에 도핑을 한다. 여기서 하는 도핑은 캐패시터가 동작중에 발생하는 공핍현상을 발생하는 것을 최소화한다. 이어서 열공정을 실시하는데, 이때 실시하는 열공정은 제1 실리콘산화막(26)이 보다 치밀한 박막이 되도록 하여, 후속 유전체박막 증착 공정후 진행되는 N<sub>2</sub>O 분위기의 로(furnace)열처리에서 하부전극의 산화를 최소화하기 위한 것이다.
- <45> 이어서, 도2c에 도시된 바와 같이, 로(furnace)를 이용하여 10 ~ 100Torr의 압력으로 NH<sub>3</sub> 분위기에서 열처리를 실시하여 제1 실리콘산화막(26)상에 균일하게 실리콘질화막(27)을 형성한다.

- <46> 이어서 도2d에 도시된 바와 같이, 기판을 대기압에 노출시켜 1 ~ 5Å의 제2 실리콘 산화막(28)을 실리콘질화막(27)상에 형성시킨다. 여기서 제2 실리콘산화막(28)은 기판을 대기압에 노출시킬 때 저절로 생성되는 자연산화막이다.
- <47> 이어서 1 ~ 10 Torr의 압력에서  $\text{NH}_3$  가스분위기에서 DCS(Dichlorosilane) 소스를 사용해서 제2 실리콘질화막( $\text{Si}_3\text{N}_4$ )(29)를 증착한다. 여기서 제1 및 제2 실리콘질화막(29)의 두께가 합해서 5 ~ 20Å 범위내에서 형성되도록 한다.
- <48> 이어서 도2e에 도시된 바와 같이, 제2 실리콘질화막(29)상에 유전체 박막(30)을 300 ~ 500°C 범위의 온도와 압력은 0.1 ~ 1.0Torr에서 30 ~ 100Å의 두께로 형성한다. 이어서 유전체 박막(30)의 특성향상 및 결정화를 위해 500 ~ 800°C 고온에서  $\text{N}_2\text{O}$  또는  $\text{O}_2$  분위기로 로를 이용하여 열처리공정을 진행한다.
- <49> 유전체박막(30)으로  $\text{Ta}_2\text{O}_5$ 막을 사용할 때에는 20 ~ 100Å 범위로, 300 ~ 500°C 온도범위에서, 압력은 0.1 Torr ~ 1.0Torr의 공정조건에서  $\text{Ta}(\text{C}_2\text{H}_5)_5$  소스와 반응가스인  $\text{O}_2$ 를 사용하여 형성한다. 유전체박막으로  $\text{Al}_2\text{O}_3$ 막,  $\text{HfO}_2$ 막, BST막등의 고유전체 물질이나, PZT막, PLZT막, BLT막등의 강유전체물질을 형성할 수 있다.
- <50> 이어서 유전체박막(30)상에 전도막으로 상부전극(31)을 형성한다. 상부전극(31)은 화학기상증착법을 이용해서 TiN막을 증착하고, 그 상부에 폴리실리콘막을 형성한다.
- <51> 따라서 본 발명에서는 유전체 박막(30)과 하부전극(29)사이에 전술한바와 같이 공정을 진행하여 제1 실리콘질화막(27)/제2 실리콘산화막(28)/제2 실리콘질화막(29)을 형성시키는 것이고, 상기과 같은 공정플로우를 EF2N 공정이라한다.

- <52> 제1 및 제2 실리콘질화막(27,29)은 일정한 캐패시턴스를 확보하기 위해 공정상에서 산화막이 과도하게 생기는 것을 방지하기 위한 것이고, 제2 실리콘산화막(28)은 누설전류특성 및 브레이크다운 전압 특성을 향상시키기 위한 것이다.
- <53> 도3a 내지 도3c는 본 발명에 의해 제조된 캐패시터의 효과를 나타내기 위한 그래프이다.
- <54> 도3a 내지 도3c는 하부전극과 유전체박막간에 계면에 산화막억제를 위한 종래의  $\text{NH}_3$  플라즈마 공정( $\text{NH}_3$  PLT)과, 하부전극과 유전체박막간에 계면에 산화막억제를 위한 본 발명의 EF2N 공정을 진행했을 때의 캐패시턴스(Cs)와, 누설전류특성(Leakage Current)와, 브레이크다운 전압(Breakdown voltage)을 각각 나타내는 그래프이다.
- <55> 도3a 내지 도3c를 참조하여 살펴보면, 종래에  $\text{NH}_3$  플라즈마 공정( $\text{NH}_3$  PLT)을 통해 하부전극표면에 질화막을 형성하는 경우보다, 본 발명에 의해 EF2N 공정을 실시하는 경우에 캐패시턴스(Cs)는 향상되면서, 누설전류특성 및 브레이크다운 전압특성도 일정하게 유지되는 것을 알 수 있다.
- <56> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<57>      본 발명에 의해서 누설전류 특성 및 브레이크다운 전압특성을 유지하면서도 고유전율을 가지는 캐패시터를 제조할 수 있다.

<58>

**【특허청구범위】****【청구항 1】**

기판상에 하부전극용 도전성 실리콘막을 형성하는 단계;  
상기 도전성 실리콘막을 질화시키는 단계;  
상기 질화된 도전성 실리콘막을 산화시키는 단계;  
상기 산화된 표면상에 실리콘질화막을 형성하는 단계;  
상기 실리콘질화막상에 유전체 박막을 형성하는 단계; 및  
상기 유전체 박막상에 상부전극을 형성하는 단계  
를 포함하는 반도체 장치의 캐패시터 제조방법.

**【청구항 2】**

제 1 항에 있어서,  
상기 질화된 도전성 실리콘막을 산화시키는 단계는  
자연산화막을 이용하는 것을 특징으로 하는 반도체 장치의 캐패시터 제조방법.

**【청구항 3】**

제 2 항에 있어서,  
상기 자연산화막은 1~ 5Å 범위의 두께로 형성되도록 하는 것을 특징으로 하는 반도체 장치의 캐패시터 제조방법.



**【청구항 4】**

제 3 항에 있어서

상기 도전성 실리콘막을 질화시키는 단계는,

로를 이용하여 10 ~ 100Torr 의 압력으로  $\text{NH}_3$  분위기에서 열처리를 실시하는 것을 특징으로 하는 반도체 장치의 캐패시터 제조방법.

**【청구항 5】**

제 4 항에 있어서,

상기 실리콘질화막은,

1 ~ 10 Torr의 압력에서  $\text{NH}_3$  가스분위기에서 DCS소스를 사용해서 형성하는 것을 특징으로 하는 반도체 장치의 캐패시터 제조방법.

**【청구항 6】**

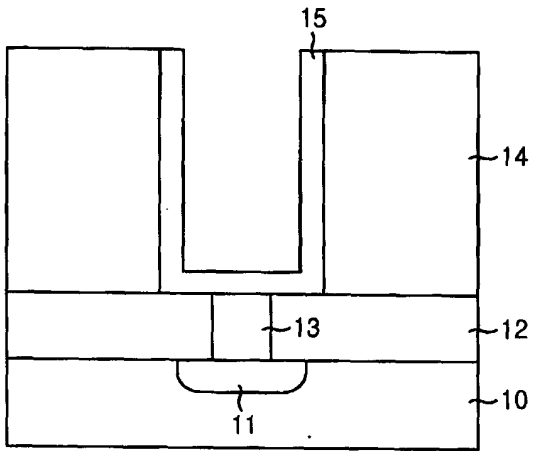
제 3 항에 있어서,

상기 유전체박막은,

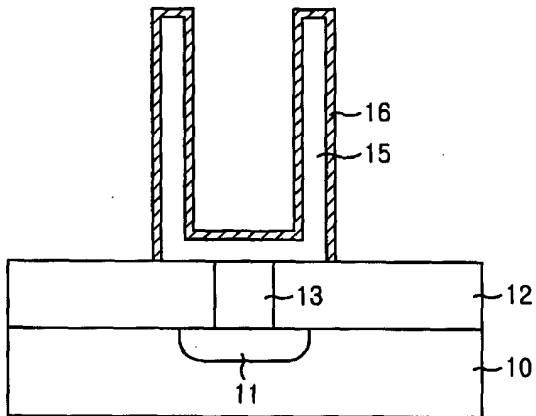
$\text{Ta}_2\text{O}_5$ 막,  $\text{Al}_2\text{O}_3$ 막,  $\text{HfO}_2$ 막, BST막등의 고유전체 물질이나, PZT막, PLZT막, BLT막등의 강유전체 물질중에서 선택된 하나인 것을 특징으로 하는 반도체 장치의 캐패시터 제조방법.

【도면】

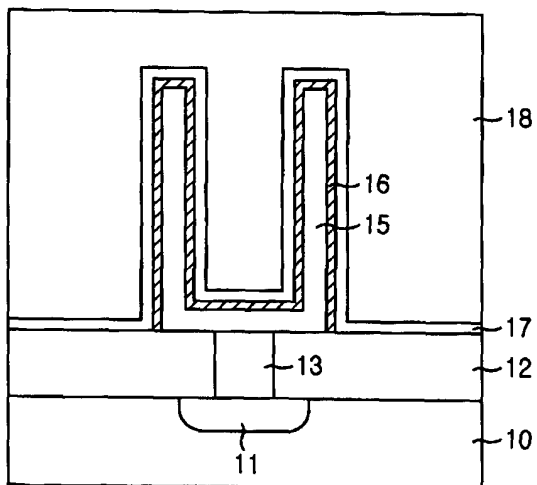
【도 1a】



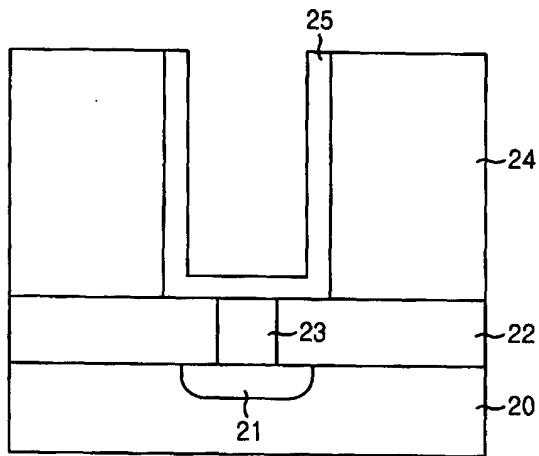
【도 1b】



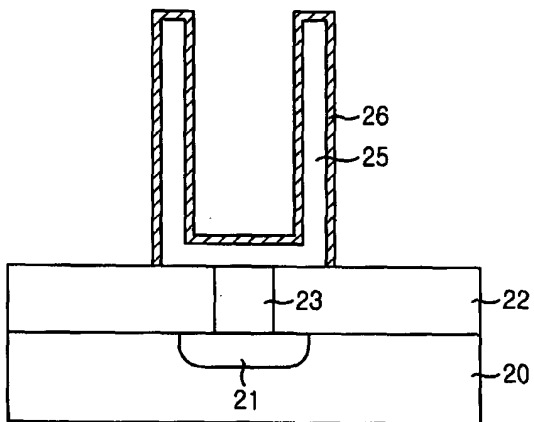
【도 1c】



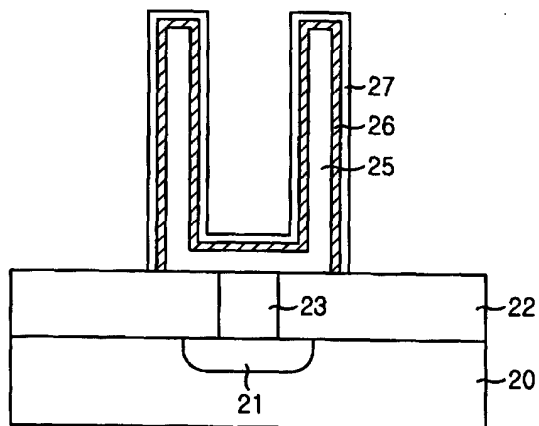
【도 2a】



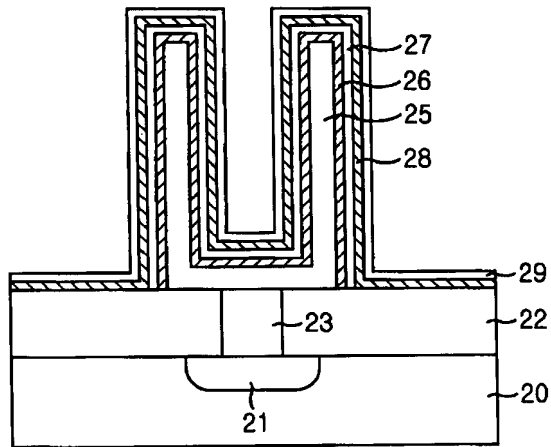
【도 2b】



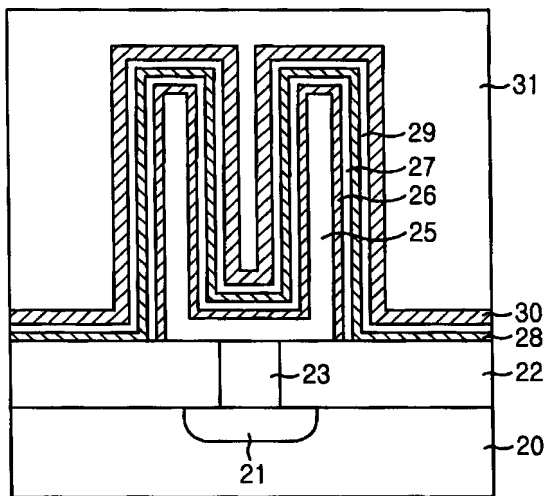
【도 2c】



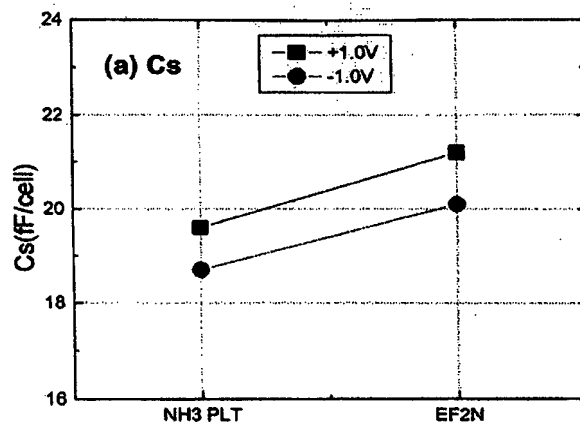
【도 2d】



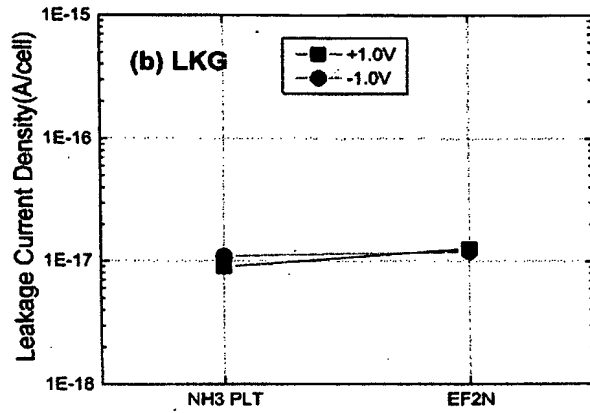
【도 2e】



【도 3a】



【도 3b】



【도 3c】

